



⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 198 22 512 A 1**

⑤ Int. Cl.⁶:
H 01 L 21/78
H 01 L 21/58
H 01 L 21/60
H 05 K 13/02

⑳ Aktenzeichen: 198 22 512.1
㉔ Anmeldetag: 19. 5. 98
㉕ Offenlegungstag: 21. 10. 99

DE 198 22 512 A 1

Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG

㉑ Anmelder:
Siemens AG, 80333 München, DE

㉒ Erfinder:
Tutsch, Günter, Dipl.-Ing., 93342 Saal, DE; Ferstl,
Klemens, Dipl.-Ing., 93051 Regensburg, DE;
Fischbach, Reinhard, Dipl.-Ing., 93049 Regensburg,
DE; Merkl, Reinhold, Dipl.-Ing., Richmond, Va., US

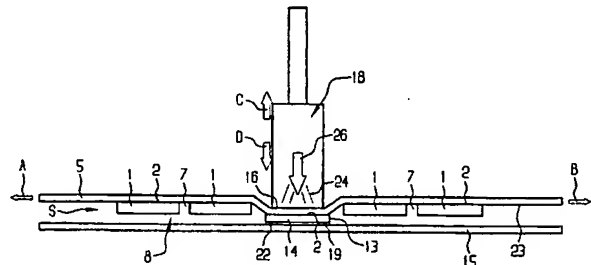
⑤⑥ Entgegenhaltungen:
EP 07 34 824 A2
EP 05 65 781 A1
JP 05-2 67 451 A
JP 03-2 06 643 A
JP 64-81 336 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Verfahren zum Vereinzeln und Positionieren von Halbleiter-Bauteilen

⑤⑦ Die Bauteile (1) werden aus einer Wafer-Scheibe (S) vereinzelt, die mit einer Seite, bevorzugt ihrer Frontscheibe (2) lösbar auf einer Trägerfolie (5) aufgebracht ist. Die Wafer-Scheibe wird von der Rückseite (8) her vereinzelt z. B. gesägt. Die Trägerfolie (5) wird mit den Bauteilen (1) anschließend derart positioniert, daß sich zumindest ein Bauteil (13) über einem zugeordneten Bauteilträger (14) befindet. Das Bauteil (13) wird mit einem auf die Trägerfolie (5) wirkenden Stempel (18) auf den Bauteilträger (14) gedrückt.



DE 198 22 512 A 1

Die Erfindung liegt auf dem Gebiet der Endmontage von Halbleiter-Bauteilen und betrifft das Vereinzeln und Positionieren derartiger Bauteile, insbesondere sog. ultradünne Halbleiter-Bauteile (chips), die aus einer Wafer-Scheibe mit einer sehr geringen Dicke von beispielsweise weniger als 150 µm hergestellt werden.

Derartige Halbleiter-Bauteile werden bekanntermaßen (EP-O 565 781 A1) zunächst gemeinsam auf einer Wafer-Scheibe ausgebildet und strukturiert. Erst anschließend werden die Bauteile zur individuellen Weiterverarbeitung und z. B. Bildung einzelner Halbleitermodule voneinander getrennt. Dazu wird die Wafer-Scheibe in einem Sägerahmen angeordnet, in dem eine adhäsive Folie gespannt ist. Die Wafer-Scheibe haftet mit ihrer Rückseite auf der Folie, so daß auch die Bauteile nach einem anschließenden Sägevorgang – durch mit dem Sägevorgang erzeugte Fugen voneinander getrennt – auf der Folie haften bleiben. Anschließend müssen die vereinzelt Bauteile von der Folie abgenommen und auf einem Bauteilträger positioniert bzw. fixiert werden. Diese Schritte bezeichnet man auch als "Pick and Place" bzw. "Die-Bonden". Dabei besteht die Schwierigkeit, das Bauteil unter möglichst geringer mechanischer Belastung zu handhaben und die Funktionsfähigkeit beeinträchtigende mechanische Beschädigungen zu vermeiden. Dazu wird beispielsweise ein Vakuum-Saugrüssel verwendet.

Aus der EP-O 565 781 A1 geht in diesem Zusammenhang die Verwendung einer Pickup-Nadel vor, die durch eine Adhäsivfolie eines Sägerahmens zur Verminderung der Adhäsionskräfte gegen die Unterseite oder Rückseite eines Bauteils drückt, das zuvor durch Sägen von der Frontseite der Wafer-Scheibe her aus dem Scheibenverband vereinzelt wurde. Das Bauteil wird aus der gemeinsamen Ebene der übrigen Bauteile herausgehoben, wobei sich die Trägerfolie löst und ein Saugrüssel mit vergleichsweise geringer Saugkraft zum Weitertransport und zum Positionieren des Bauteils ausreicht.

Im Hinblick auf die durch die Pickup-Nadel zu befürchtende Beschädigung der Bauteilrückseite wird in der älteren Deutschen Patentanmeldung vom 20. 11. 1996 mit dem amtlichen Aktenzeichen 196 48 072.8 vorgeschlagen, auf der der Trägerfolie zugewandten Rückseite des Halbleiter-Bauteils bzw. der ursprünglichen Wafer-Scheibe eine Schutzschicht aufzutragen.

Dies erhöht den Fertigungsaufwand zusätzlich und ist insbesondere im Hinblick auf den Trend zu immer dünner werdenden Bauteilen (ultradünne chips) problematisch. Weiterhin erfordern die vorbeschriebenen bekannten Verfahren ein zeitaufwendiges Greifen, Transportieren und Plazieren der vereinzelt Halbleiter-Bauteile. Dies erhöht die Taktzeiten und setzt die Bauteile zusätzlichen mechanischen Belastungen aus.

Die Aufgabe der Erfindung besteht in der Schaffung eines Verfahrens zum Vereinzeln und Positionieren von Halbleiter-Bauteilen, das bei einer einfachen und kostengünstigen Verfahrensdurchführung insbesondere auch für besonders dünne Halbleiter-Bauteile geeignet ist.

Diese Aufgabe wird erfindungsgemäß gelöst durch ein Verfahren zum Vereinzeln und Positionieren von Halbleiter-Bauteilen, die zunächst im Verbund in einer Wafer-Scheibe gemeinsam bearbeitet wurden, bei dem die bereits strukturierte Frontseite der Wafer-Scheibe lösbar auf einer Trägerfolie befestigt wird, die Wafer-Scheibe von der Rückseite her zur Vereinzelung der Halbleiter-Bauteile gesägt wird, die Wafer-Scheibe derart positioniert wird, daß sich zumindest jeweils ein Bauteil über einem zugeordneten Bauteilträger befindet, und das jeweilige Bauteil mit einem auf die

Trägerfolie wirkenden Stempel auf den Bauteilträger gedrückt wird.

Ein wesentlicher Vorteil des erfindungsgemäßen Verfahrens besteht darin, daß eine weitestgehend umfassende Behandlung der Wafer-Scheibe ausschließlich auf einem einzigen Träger – nämlich mit der Trägerfolie – von der Rückseite aus ermöglicht wird. Besonders vorteilhaft kann die Rückseite der mit ihrer Frontseite bereits auf der Trägerfolie befestigten Wafer-Scheibe abgeschliffen werden, um die Dicke der Wafer-Scheibe weiter zu vermindern (sog. Wafer-Dünnen). Dieser Prozeß wird allgemein auch als Wafer-Schleifen oder Grinden bezeichnet.

Danach kann die bereits fixierte Wafer-Scheibe von der Rückseite her zur Vereinzelung der Halbleiter-Bauteile gesägt werden, ohne daß es einer erneuten Scheibenfixierung bedarf. Anschließend erfolgt der gegenüber den vorbeschriebenen Verfahren wesentlich vereinfachte Prozeß des Die-Bondens, indem die Wafer-Scheibe vorzugsweise oberhalb eines Modulträgerbandes (Leadframe-Band), das als Substrat dient, präzise gemäß der Anordnung der Bauteile in der Wafer-Scheibe "wafermapgerecht" positioniert wird. Anschließend wird das individuelle Halbleiter-Bauteil mit dem auf die andere, freie Seite der Folie wirkenden Stempel auf das Substrat gedrückt. Dabei ist ein Durchstoßen der Trägerfolie nicht erforderlich, so daß keine punktuelle, zum Bruch dünner chips führende mechanische Belastung auftritt.

Nach einer vorteilhaften Ausgestaltung des erfindungsgemäßen Verfahrens wird auf das jeweilige Bauteil mit einer ebenen Kontaktfläche des Stempels gedrückt. Dies hat eine weitere Vergleichmäßigung der auf das Halbleiter-Bauteil ausgeübten Druckkräfte zur Folge, so daß eine besonders schonende Ablösung des Bauteils von der Trägerfolie und ein belastungsarmer Transfer auf den Bauteilträger ermöglicht wird. Besonders bevorzugt kann dazu der Bauteilträger mit einer Adhäsionsschicht beschichtet sein, deren Adhäsion größer als die der Trägerfolie ist.

In diesem Zusammenhang sieht eine besonders bevorzugte Ausgestaltung des erfindungsgemäßen Verfahrens vor, daß die Trägerfolie auf ihrer dem Bauteil zugewandten Seite mit einer Klebstoffschicht versehen ist, deren Adhäsion bedarfsweise durch Lichtzufuhr vermindert werden kann. Dadurch kann nämlich das Ablösen des Halbleiter-Bauteils von der Trägerfolie bedarfsgerecht unterstützt werden.

Eine fertigungstechnisch besonders bevorzugte Fortbildung des Verfahrens sieht dabei vor, daß das Licht durch den Stempel zugeführt wird.

Die Durchführung des erfindungsgemäßen Verfahrens wird beispielhaft nachfolgend anhand einer Figur weiter erläutert.

Die Figur zeigt mehrere Halbleiter-Bauteile 1, die ursprünglich Bestandteil einer gemeinsamen Wafer-Scheibe S waren und in dieser zunächst gemeinsam bearbeitet und strukturiert worden sind. Die Frontseite der bearbeiteten ursprünglichen Wafer-Scheibe und damit die Frontseiten 2 der Halbleiter-Bauteile (chips) 1 sind lösbar auf einer gemeinsamen Trägerfolie 5 befestigt. Die zwischen den Chips 1 bestehenden Fugen 7 sind zuvor zwecks Vereinzelung der Bauteile 1 durch an sich bekanntes Sägen oder Trennen z. B. mittels Laser der (nicht vollständig gezeigten) Wafer-Scheibe S erzeugt worden. Ein dazu geeignetes Sägevorgang ist beispielsweise in der EP 0 734 824 A2 offenbart. Dabei wurde die Wafer-Scheibe S von ihrer Rückseite 8 her zur Erzeugung der Fugen 7 zwecks Vereinzelung der Bauteile gesägt.

Die Trägerfolie 5 wird anschließend (wie durch Pfeile A-B angedeutet) derart positioniert, daß sich zumindest ein

Bauteil 13 über einem ihm zugeordneten Bauteilträger 14 befindet. Der Bauteilträger kann in an sich bekannter Weise Bestandteil (Insel) eines Leadframe oder eines Substrats sein, das Teil eines Leadframebandes oder Modulträgerbandes 15 sein kann. Die Positionierung des Bauteils 13 erfolgt entsprechend seiner individuellen, bekannten Position in der ursprünglichen Wafer-Scheibe (d. h. sog. wafermagerrecht). Das Bauteil 13 wird von oben mit der ebenen Kontaktseite 16 eines auf die Trägerfolie 5 wirkenden Stempels 18 mit seiner Unterseite 19 auf eine Klebstoffschicht 22 des Bauteilträgers 14 gedrückt. Der Stempel 18 ist dazu – wie durch Pfeile C-D angedeutet – relativ zu dem Bauteilträger 14 vertikal verfahrbar. Dabei wird dafür gesorgt, daß die Adhäsion zwischen der Klebstoffschicht 22 und der Rückseite 19 größer ist als die Adhäsion, die zwischen der Trägerfolie 5 und der Frontseite 2 des Bauteils 13 besteht.

Besonders bevorzugt kann eine Trägerfolie 5 mit einer Klebstoffschicht 23 verwendet werden, deren Adhäsion gegenüber dem Bauteil 13 dadurch vermindert werden kann, daß die Folie 5 mit Licht 24 einer geeigneten Wellenlänge (z. B. UV-Licht) bestrahlt wird. Die Lichtbestrahlung führt zu einer zum Zeitpunkt des Bauteiltransfers von der Trägerfolie 5 auf das Substrat 14 gewünschten Verminderung der Adhäsion und damit zu einem besonders einfachen Ablösen der Trägerfolie 5 von der Frontseite 2 des Bauteils 13. Besonders bevorzugt kann das Licht 24 durch Lichtwellenleiter 26 zugeführt werden, die durch den Stempel 18 führen und an der Kontaktfläche 16 enden.

Mit dem erfindungsgemäßen Verfahren wird vorteilhafterweise die Anzahl der notwendigen Prozeßschritte vom Wafer-Dünnen bis zum Die-Bonden minimiert. Dies führt zu erheblichen Einsparungen bei den Prozeßkosten, insbesondere weil Prozeßschritte für das Laminieren und wieder Abtrennen der Wafer-Scheibe von weiteren Träger- oder Schutzfolien vor dem Wafersägen eingespart werden können. Die Verfahrensweise und Bewegungen für das Die-Bonden werden minimiert. Das bei bekannten Verfahren notwendige Abnehmen und Positionieren des Bauteiles ("Pick and Place") entfällt, wodurch weitere Kosteneinsparungen realisiert werden können. Das ganzflächige Herabdrücken des Bauteils auf das Substrat unter vollständiger Zwischenlage der Trägerfolie ermöglicht eine besonders schonende Handhabung der Bauteile. Insbesondere ist kein Durchstoßen der Trägerfolie mit Nadeln oder ähnlichen Ablösehilfen erforderlich. Insgesamt führt das erfindungsgemäße Verfahren damit zu einer erheblichen Verkürzung der Gesamtdurchlaufzeit, verminderten Ausrüstungskosten und einer besonders schonenden Bauteilbehandlung, aus der eine Erhöhung der Ausbeute und Qualität vor allem bei dünnen Wafer-Scheiben bzw. Bauteilen resultiert.

Patentansprüche

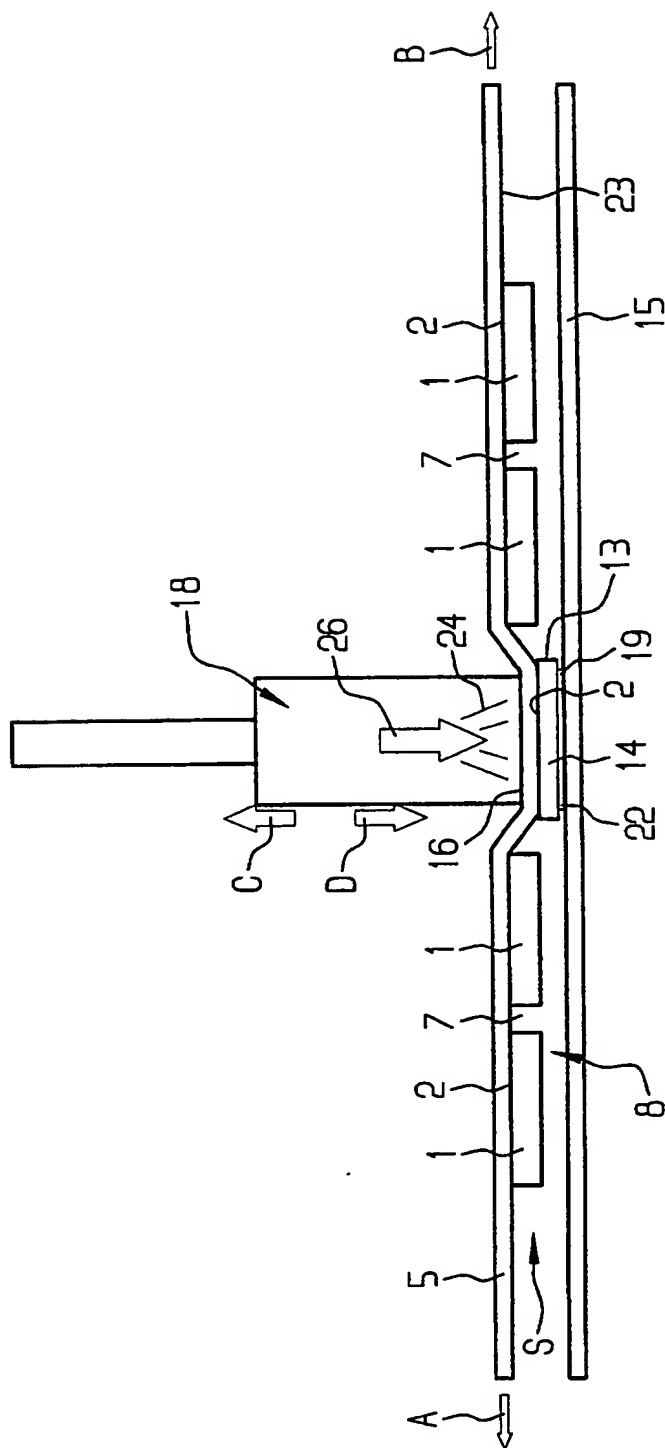
1. Verfahren zum Vereinzeln und Positionieren von Halbleiter-Bauteilen (1), die zunächst im Verbund in einer Wafer-Scheibe (S) gemeinsam bearbeitet wurden, bei dem:

- die bereits strukturierte Frontseite (2) der Wafer-Scheibe (S) lösbar auf einer Trägerfolie (5) befestigt wird,
- die Wafer-Scheibe (S) von der Rückseite (8) her zur Vereinzelung der Bauteile (1) gesägt wird,
- die Wafer-Scheibe (S) derart positioniert wird, daß sich zumindest jeweils ein Bauteil (13) über einem zugeordneten Bauteilträger (14) befindet, und
- das jeweilige Bauteil (13) mit einem auf die Trägerfolie (5) wirkenden Stempel (18) auf den

Bauteilträger (14) gedrückt wird.

2. Verfahren nach Anspruch 1, wobei
 - das jeweilige Bauteil (1) mit einer ebenen Kontaktfläche (16) des Stempels (18) auf den Bauteilträger (14) gedrückt wird.
3. Verfahren nach Anspruch 1 oder 2, wobei
 - die Trägerfolie (5) auf ihrer dem Bauteil (1) zugewandten Seite mit einer Klebstoffschicht (23) versehen ist, deren Adhäsion bedarfsweise durch Energiezufuhr vermindert werden kann.
4. Verfahren nach Anspruch 3, wobei
 - die Energie durch den Stempel (18) zugeführt wird.

Hierzu 1 Seite(n) Zeichnungen



Semiconductor element separation and positioning method

Patent Number: DE19822512
Publication date: 1999-10-21
Inventor(s): FERSTL KLEMENS (DE); TUTSCH GUENTER (DE); FISCHBACH REINHARD (DE); MERKL REINHOLD (US)
Applicant(s): SIEMENS AG (DE)
Requested Patent: DE19822512
Application Number: DE19981022512 19980519
Priority Number(s): DE19981022512 19980519
IPC Classification: H01L21/78; H01L21/58; H01L21/60; H05K13/02
EC Classification: H01L21/00S2P
Equivalents:

Abstract

The semiconductor element separation and positioning method uses a carrier foil (5) to which a number of semiconductor elements (S) are temporarily attached, positioned to bring at least one component (13) into alignment with a component carrier (14). The component is then separated from the foil by a die stamp (18) acting against the rear side of the latter. The components may be secured to the carrier foil by an adhesive layer (23) with its adhesion characteristics reduced upon application of energy via the die stamp, for removal of the positioned component.

Data supplied from the esp@cenet database - I2

DOCKET NO: MAS-FIN-207

SERIAL NO: _____

APPLICANT: J. Högerl et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100